

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0051

Applicant: Kye Nam LEE et al.

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: Concurrently Herewith

Art Unit: Unassigned

Title: METHOD FOR MANUFACTURING MTJ CELL OF MAGNETIC
RANDOM ACCESS MEMORY

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2003-0018643 filed March 25, 2003

Respectfully submitted,

Date: 12/10/03

By Johnny A. Kumar

Johnny A. Kumar

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

Attorney for Applicant
Registration No. 34,649
Customer No. 26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0018643
Application Number

출원 년 월 일 : 2003년 03월 25일
Date of Application MAR 25, 2003

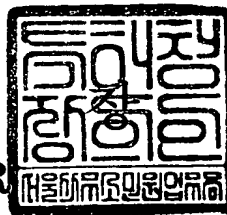
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.03.25
【국제특허분류】	H01L
【발명의 명칭】	마그네틱 램의 형성방법
【발명의 영문명칭】	A method for manufacturing of a Magnetic random access memory
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	2003-017011-1
【발명자】	
【성명의 국문표기】	이계남
【성명의 영문표기】	LEE, Kye Nam
【주민등록번호】	621217-1018133
【우편번호】	467-866
【주소】	경기도 이천시 부발읍 아미리 산136-1
【국적】	KR
【발명자】	
【성명의 국문표기】	장인우
【성명의 영문표기】	JANG, In Woo
【주민등록번호】	730224-1652713

【우편번호】	138-160
【주소】	서울특별시 송파구 가락동 가락아파트 99-508
【국적】	KR
【발명자】	
【성명의 국문표기】	박영진
【성명의 영문표기】	PARK,Young Jin
【주민등록번호】	620128-1037737
【우편번호】	463-050
【주소】	경기도 성남시 분당구 서현동 삼성아파트 131-804
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)
【수수료】	
【기본출원료】	15 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	3 항 205,000 원
【합계】	234,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 마그네틱 램 (magnetic RAM, 이하에서 MRAM 이라 함) 의 형성방법에 관한 것으로, MRAM 의 자기저항 레이셔를 증가시키기 위하여,

합성-반강자성층 구조의 MTJ 형성공정 중에서 상기 합성 반강자성층의 자성층 형성공정 시 높은 마그네틱 필드와 낮은 마그네틱 필드를 순차적으로 인가하며 어닐링 공정을 실시하여 상기 자성층의 스핀 방향 균일성을 향상시키고 그에 따른 소자의 특성 및 신뢰성을 향상시킬 수 있도록 하는 기술이다.

【대표도】

도 3

【명세서】

【발명의 명칭】

마그네틱 램의 형성방법{A method for manufacturing of a Magnetic random access memory}

【도면의 간단한 설명】

도 1 은 종래기술에 따른 마그네틱 램의 구조를 도시한 단면도.

도 2 는 종래기술에 따른 마그네틱 램의 자성물질 성장방향 및 마그네틱 필드 방향을 도시한 개략도.

도 3 은 본 발명에 따른 마그네틱 램의 구조를 도시한 단면도.

도 4 는 본 발명에 따른 마그네틱 램의 자성물질 성장방향 및 마그네틱 필드 방향을 도시한 개략도.

도 5 및 도 6 은 본 발명에 따른 마그네틱 램의 특성 향상을 도시한 그래프.

〈도면의 주요 부분에 대한 부호의 설명〉

11,41 : 연결층용 금속층 13,43 : 제1고정자화층

15,19,45,49 : 자성층 17,47 : 절연막

21,51 : 제2고정자화층, 합성-반강자성층(SAF)

23,53 : 터널장벽층 25,55 : 자유자화층

27,57 : 웨이퍼 29,59 : 자성층 성장방향

31,61 : 마그네틱 필드의 인가방향

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <13> 본 발명은 마그네틱 램 (magnetic RAM, 이하에서 MRAM 이라 함) 의 형성방법에 관한 것으로, 특히 자기저항 (magnetic resistance, MR) 레이셔 (ratio)를 향상시키기 위해 합성-반강자성층 (synthetic anti-ferromagnetic, 이하 SAF 라 함) 구조를 갖는 MTJ (magnetic tunnel junction) 소자 형성시 고온으로 유지하며 낮은 마그네틱 필드와 높은 마그네틱 필드에서 이중 어닐링 공정을 실시함으로써 자성체의 자화 플립(magnetization flop) 불량 발생에 의한 MR 레이셔 감소를 방지하는 방법에 관한 것이다.
- <14> 마그네틱 램은 SRAM 보다 빠른 속도, DRAM 과 같은 집적도 그리고 플래쉬 메모리 (flash memory) 와 같은 비휘발성 메모리의 특성을 갖는다.
- <15> 대부분의 반도체 메모리 제조 업체들은 차세대 기억소자의 하나로 강자성체 물질을 이용하는 MRAM 의 개발을 실시하고 있다.
- <16> 상기 MRAM 은 강자성 박막을 다층으로 형성하여 각 박막의 자화방향에 따른 전류 변화를 감지함으로써 정보를 읽고 쓸 수 있는 기억소자로서, 자성 박막 고유의 특성에 의해 고속, 저전력 및 고집적화를 가능하게 할뿐만 아니라, 플래쉬 메모리와 같이 비휘발성 메모리 동작이 가능한 소자이다.
- <17> 상기 MRAM 은 스핀이 전자의 전달 현상에 지대한 영향을 미치기 때문에 생기는 거대자기 저항 (giant magnetoresistive, GMR) 현상이나 스핀 편극 자기투과 현상을 이용해 메모리 소자를 구현하는 방법이 있다.

- <18> 상기 거대자기저항 (GMR) 현상을 이용한 MRAM 은, 비자성층을 사이에 둔 두 자성층의 스핀 방향이 같은 경우보다 다른 경우의 저항이 크게 다른 현상을 이용해 GMR 자기 메모리 소자를 구현하는 것이다.
- <19> 상기 스핀 편극 자기투과 현상을 이용한 MRAM 은, 절연층을 사이에 둔 두 자성층에서 스핀 방향이 같은 경우가 다른 경우보다 전류 투과가 훨씬 잘 일어난다는 현상을 이용하여 자기 투과 접합 메모리 소자를 구현하는 것이다.
- <20> 상기 MRAM 은 하나의 트랜지스터와 하나의 MTJ 셀 (magnetic tunnel junction cell) 로 형성한다.
- <21> 도 1 및 도 2 는 종래기술에 따른 SAF 구조의 마그네틱 램 구조와 자성물질의 증착방법을 설명한 단면도 및 개략도이다.
- <22> 도 1를 참조하면, 반도체기판(도시안됨) 상에 하부절연층(도시안됨)을 형성한다.
- <23> 이때, 상기 하부절연층은 소자분리막(도시안됨), 리드라인인 제1워드라인(도시안됨)과 소오스/드레인이 구비되는 트랜지스터(도시안됨), 그라운드 라인(도시안됨) 및 도전층(도시안됨), 라이트 라인인 제2워드라인(도시안됨)을 형성하고 그 상부를 평탄화시켜 형성한 것이다.
- <24> 상기 도전층은 상기 하부절연층을 통해 상기 반도체기판에 접속되며 상기 하부절연층 상부로 노출되어 구비된 것이다.
- <25> 그 다음, 상기 도전층에 접속되는 연결층용 금속층(11)을 형성한다. 이때, 상기 연결층용 금속층은 W, Al, Pt, Cu, Ir, Ru 및 이들의 조합으로 이루어지는 군에서 선택된 임의의 한가지 금속으로 형성한 것이다.

- <26> 상기 연결층용 금속층(11) 상부에 제1고정자화층 (magnetic pinning layers)(13)과 제2고정자화층 (magnetic pinned layers)(21)이 적층된 고정자화층을 형성한다. 이때, 상기 제1고정자화층 (magnetic pinning layers)(13)은 CO, Fe, NiFe, CoFe, PtMn, IrMn 및 이들의 조합으로 이루어지는 군에서 선택된 임의의 자성물질로 형성한다. 상기 제2고정자화층 (magnetic pinned layers)(21)은 서로 반대칭적인 자화방향을 갖는 적층된 두 개의 자성층 (15,19) 사이에 절연막(17)이 삽입된 구조로 형성된 것이다.
- <27> 여기서, 상기 제2고정자화층 (magnetic pinned layers)(21)은 마그네틱 필드를 인가하며 어닐링하여 형성한 것으로서, 스핀방향 (polarization direction) 이 다소 틀러지는 자화 플립 불량 발생하여 실제 MR 레이어가 감소하는 문제점이 있다. 상기 스핀 방향의 균일성을 높이기 위하여, 1 ~ 10 KOe 의 높은 마그네틱 필드에서 어닐링 공정을 실시하지만 소자의 고집적화에 따라 보다 높은 마그네틱 필드를 필요로 하기 때문에 스핀 방향이 균일성이 더욱 나빠지는 문제점이 있다.
- <28> 도 2를 참조하면, 일측은 상기 제2고정자화층 (magnetic pinned layers)(21)의 자성층(15,19)이 웨이퍼(27)의 플랫폼 (flat zone) 에 수직한 일축방향(29)으로 형성되는 것을 도시하고, 타측은 상기 일축방향으로 1 ~ 10 KOe 의 높은 마그네틱 필드의 인가방향(31)을 같이 하며 어닐링 공정을 실시하여 형성하는 것을 도시한다.
- <29> 도 1을 참조하면, 상기 제2고정자화층 (magnetic pinned layers)(21)의 상부에 터널장벽층(23)을 형성한다. 이때, 상기 터널장벽층(23)은 비자성 물질인 절연막으로 형성한다.
- <30> 상기 터널장벽층(23) 상부에 자유자화층 (magnetic free layers)(25)을 형성한다.
- <31> 상기 자유자화층(25) 상부에 MTJ 캐핑층(도시안됨)을 형성하여 MTJ 물질층을 형성한다.

<32> 후속공정으로 MTJ 셀 마스크(도시안됨)를 이용한 사진식각공정으로 상기 MTJ 캐핑층, 자유자화층(25), 터널장벽층(23), 상기 제2고정자화층 (magnetic pinned layers)(21) 및 제1고정자화층(13)을 식각하여 MTJ 셀을 패터닝한다.

<33> 상기한 바와 같이 종래기술에 따른 마그네틱 램의 형성방법은, SAF 층인 상기 제2고정자화층 (magnetic pinned layers)의 스핀 방향 균일성이 감소하는 자화 플립 불량이 유발되어 소자의 MR 레이셔를 감소시키고 그에 따른 소자의 특성을 저하시키는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<34> 본 발명은 상기한 종래기술의 문제점을 해결하기 위하여,

<35> 높은 마그네틱 필드의 인가에 의하여 자화 플립불량이 유발된 상태에서 낮은 마그네틱 필드를 인가하여 자화 플립불량을 없애므로써 소자의 안정화를 갖도록 하여 소자의 특성 및 신뢰성을 향상시키는 마그네틱 램의 형성방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<36> 상기 목적 달성을 위해 본 발명에 따른 마그네틱 램의 형성방법은,

<37> 하부절연층을 통하여 반도체기판에 접속되는 연결층용 금속층을 형성하는 공정과,

<38> 상기 연결층용 금속층 상에 제1고정자화층과 합성-반강자성층인 제2고정자화층을 적층하되, 상기 제2고정자화층은 높은 마그네틱 필드와 낮은 마그네틱 필드를 순차적으로 인가하며 각각 제1 및 제2 어닐링하여 형성하는 공정과,

<39> 상기 제2고정자화층 상부에 터널장벽층, 자유자화층 및 MTJ 캐핑층을 적층하는 공정과,

<40> MTJ 셀 마스크를 이용한 사진식각공정으로 상기 MTJ 캐핑층, 자유자화층, 터널장벽층 및 고정자화층을 식각하여 MTJ 셀을 패터닝하는 공정을 포함하는 것과,

- <41> 상기 제2고정자화층은 자성층/절연막/자성층의 적층구조로 형성하는 것과,
- <42> 상기 제2고정자화층은 1 ~ 10 KOe 의 높은 마그네틱 필드를 인가하며 250 ~ 300 °C 의 온도에서 제1어닐링 공정을 실시하고, 100 ~ 999 KOe 의 낮은 마그네틱 필드를 인가하며 250 ~ 300 °C 의 온도에서 제2어닐링 공정을 실시하여 균일한 스핀방향의 자성층을 형성하는 것을 특징으로 한다.
- <43> 이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하면 다음과 같다.
- <44> 도 3 및 도 4 는 본 발명에 따른 SAF 구조의 마그네틱 램 구조와 자성물질의 증착방법을 설명한 단면도 및 개략도이다.
- <45> 도 3을 참조하면, 반도체기판(도시안됨) 상에 하부절연층(도시안됨)을 형성한다.
- <46> 이때, 상기 하부절연층은 소자분리막(도시안됨), 리드라인인 제1워드라인(도시안됨)과 소오스/드레인이 구비되는 트랜지스터(도시안됨), 그라운드 라인(도시안됨) 및 도전층(도시안됨), 라이트 라인인 제2워드라인(도시안됨)을 형성하고 그 상부를 평탄화시켜 형성한 것이다.
- <47> 상기 도전층은 상기 하부절연층을 통해 상기 반도체기판에 접속되며 상기 하부절연층 상부로 노출되어 구비된 것이다.
- <48> 그 다음, 상기 도전층에 접속되는 연결층용 금속층(41)을 형성한다. 이때, 상기 연결층용 금속층은 W, Al, Pt, Cu, Ir, Ru 및 이들의 조합으로 이루어지는 군에서 선택된 임의의 한가지 금속으로 형성한 것이다.
- <49> 상기 연결층용 금속층(41) 상부에 제1고정자화층 (magnetic pinning layers)(43)과 제2고정자화층 (magnetic pinned layers)(51)이 적층된 고정자화층을 형성한다. 이때, 상기 제1고정자화층 (magnetic pinning layers)(43)은 CO, Fe, NiFe, CoFe, PtMn, IrMn 및 이

들의 조합으로 이루어지는 군에서 선택된 임의의 자성물질로 형성한다. 상기 제2고정자화층 (magnetic pinned layers)(51)은 서로 비대칭적인 자화방향을 갖는 적층된 두 개의 자성층 (45,49) 사이에 절연막(47)이 삽입된 구조로 형성된 것이다.

<50> 여기서, 상기 제2고정자화층 (magnetic pinned layers)(51)의 자성층은,

<51> 1 ~ 10 KOe 의 높은 마그네틱 필드를 인가하며 250 ~ 300 °C 의 온도에서 제1어닐링 공정을 실시하고, 100 ~ 999 KOe 의 낮은 마그네틱 필드를 인가하며 250 ~ 300 °C 의 온도에서 제2어닐링 공정을 실시하여 형성함으로써 상기 제2고정자화층(51)의 스핀 방향 균일성을 향상시킨다.

<52> 도 4를 참조하면, 일측은 상기 제2고정자화층 (magnetic pinned layers)(51)의 자성층(45,49)이 웨이퍼(57)의 플랫폼 (flat zone) 에 수직한 일축방향(59)으로 형성되는 것을 도시하고, 타측은 상기 높은 마그네틱 필드와 낮은 마그네틱 필드의 인가방향(61)을 상기 일축방향과 같이 하며 순차적으로 인가하며 제1,2 어닐링 공정을 실시하여 형성한다.

<53> 도 3을 참조하면, 상기 제2고정자화층 (magnetic pinned layers)(51)의 상부에 터널장벽층(53)을 형성한다. 이때, 상기 터널장벽층(53)은 비자성 물질인 절연막으로 형성한다.

<54> 상기 터널장벽층(53) 상부에 자유자화층 (magnetic free layers)(55)을 형성한다.

<55> 상기 자유자화층(55) 상부에 MTJ 캐핑층(도시안됨)을 형성하여 MTJ 물질층을 형성한다.

<56> 후속공정으로 MTJ 셀 마스크(도시안됨)를 이용한 사진식각공정으로 상기 MTJ 캐핑층, 자유자화층(55), 터널장벽층(53), 상기 제2고정자화층 (magnetic pinned layers)(51) 및 제1고정자화층(43)을 식각하여 MTJ 셀을 패터닝한다.

<57> 도 5 및 도 6 은 종래기술과 본 발명에 따른 MR 레이저 차이를 도시한 그래프도이다.



【발명의 효과】

- <58> 이상에서 설명한 바와 같이 본 발명에 따른 마그네틱 램의 형성방법은,
- <59> MTJ 셀의 주요 특성인 MR 레이셔를 향상시키기 위하여 SAF 구조의 마그네틱 램 형성공정시 높은 마그네틱 필드와 낮은 마그네틱 필드를 순차적으로 인가하며 어닐링 공정을 실시하여 스핀 방향의 균일성을 향상시키고 그에 따른 소자의 특성 및 신뢰성을 향상시킬 수 있는 효과를 제공한다.

【특허청구범위】**【청구항 1】**

하부절연층을 통하여 반도체기판에 접속되는 연결층용 금속층을 형성하는 공정과,

상기 연결층용 금속층 상에 제1고정자화층과 합성-반강자성층인 제2고정자화층을 적층하되, 상기 제2고정자화층은 높은 마그네틱 필드와 낮은 마그네틱 필드를 순차적으로 인가하며 각각 제1 및 제2 어닐링하여 형성하는 공정과,

상기 제2고정자화층 상부에 터널장벽층, 자유자화층 및 MTJ 캐핑층을 적층하는 공정과,

MTJ 셀 마스크를 이용한 사진식각공정으로 상기 MTJ 캐핑층, 자유자화층, 터널장벽층 및 고정자화층을 식각하여 MTJ 셀을 패터닝하는 공정을 포함하는 마그네틱 램의 형성방법.

【청구항 2】

제 1 항에 있어서,

상기 제2고정자화층은 자성층/절연막/자성층의 적층구조로 형성하는 것을 특징으로 하는 마그네틱 램의 형성방법.

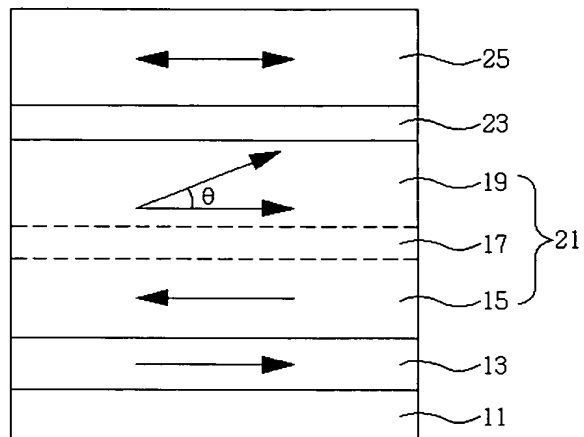
【청구항 3】

제 1 항에 있어서,

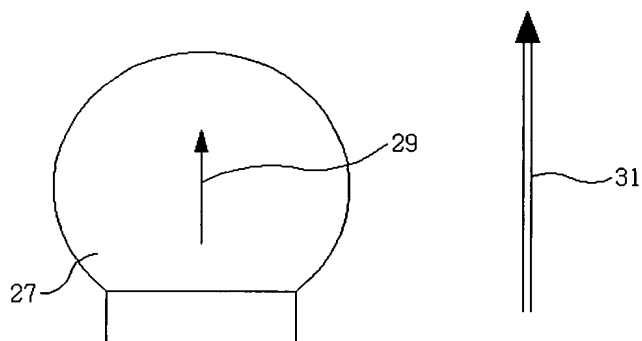
상기 제2고정자화층은 1 ~ 10 KOe 의 높은 마그네틱 필드를 인가하며 250 ~ 300 ℃ 의 온도에서 제1어닐링 공정을 실시하고, 100 ~ 999 KOe 의 낮은 마그네틱 필드를 인가하며 250 ~ 300 ℃ 의 온도에서 제2어닐링 공정을 실시하여 균일한 스핀방향의 자성층을 형성하는 것을 특징으로 하는 마그네틱 램의 형성방법.

【도면】

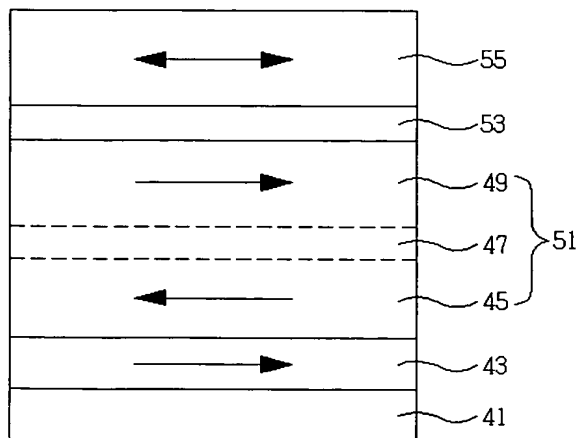
【도 1】



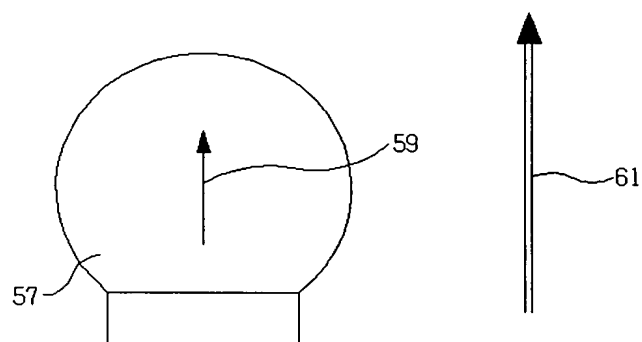
【도 2】



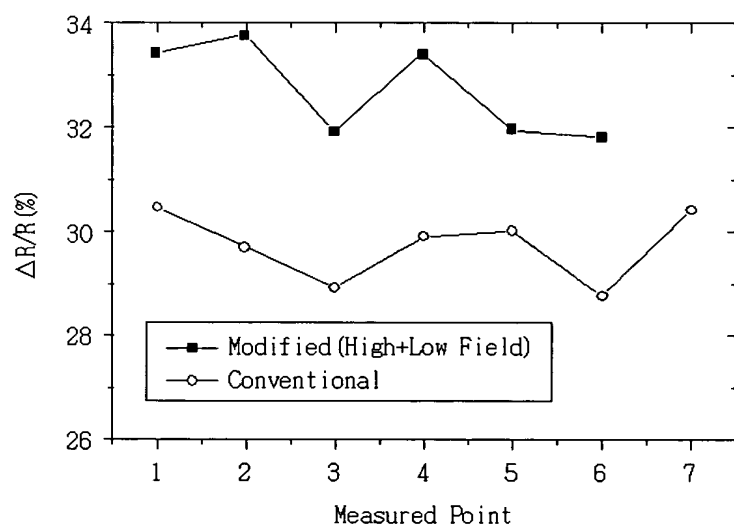
【도 3】



【도 4】



【도 5】





【도 6】

